



Docket No.: R2180.0181/P181  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:  
Tadayoshi Ueda

Application No.: 10/674,397

Filed: October 1, 2003

Art Unit: N/A

For: POWER SUPPLY SYSTEM AND METHOD  
FOR SUPPLYING POWER TO CPU  
PROVIDING POWER SAVING MODE

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

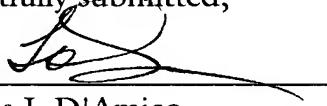
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

Country	Application No.	Date
Japan	2002-289862	October 2, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: November 5, 2003

Respectfully submitted,

By 

Thomas J. D'Amico

Registration No.: 28,371

DICKSTEIN SHAPIRO MORIN &  
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月 2日  
Date of Application:

出願番号 特願2002-289862  
Application Number:

[ST. 10/C] : [JP2002-289862]

出願人 株式会社リコー  
Applicant(s):

2003年10月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫

出証番号 出証特2003-3083450

【書類名】 特許願

【整理番号】 185692

【提出日】 平成14年10月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G05F 1/563

【発明の名称】 低電圧動作モードを備える演算部の電源及び上記演算部への給電制御方法

【請求項の数】 4

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 植田 忠義

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込1丁目3番6号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葵

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低電圧動作モードを備える演算部の電源及び上記演算部への給電制御方法

【特許請求の範囲】

【請求項 1】 低電圧動作モードを備える演算部の電源であって、  
上記演算部に給電を行う給電部と、  
上記給電部が上記演算部に供給する電圧が所定の電圧検出値以下になった場合  
に上記演算部にリセット信号を出力する電圧検出部と、  
上記演算部の定電圧動作モードの設定に伴い上記給電部の出力電圧を低減させる  
制御部であって、上記電圧検出部の上記第1電圧検出値を上記低減した電圧より  
低い値に下げた後に、上記給電部の出力電圧を低減し、上記低電圧動作モード  
の解除に伴い上記給電部の出力電圧を回復した後に、上記電圧検出部の電圧検出  
値を回復させる制御部を備えることを特徴とする低電圧動作モードを備える演算  
部の電源。

【請求項 2】 請求項 1 に記載の低電圧動作モードを備える演算部の電源で  
あって、

上記給電部は、第1切換信号の値を第1の状態から第2の状態に変更すること  
により上記演算部へ供給する電圧を第1電圧から当該第1電圧よりも低い第2電  
圧に切り換える手段を有し、

上記電圧検出部は、第2切換信号の値を第3の状態から第4の状態に変更する  
ことにより上記電圧検出値を上記第1電圧よりも低い第1電圧検出値から上記第  
2電圧よりも低い第2電圧検出値に切り換える手段を有し、

上記制御部は、上記演算部の低電圧動作モードの設定に伴い第1切換信号の値  
を第1の状態から第2の状態に変更した後に、第2切換信号の値を第3の状態か  
ら第4の状態に変更し、上記低電圧動作モードの解除に伴い第1切換信号の値を  
第1の状態に戻した後、第2切換信号の値を第3の状態に戻す低電圧動作モード  
を備える演算部の電源。

【請求項 3】 請求項 2 に記載の低電圧動作モードを備える演算部の電源で  
あって、

上記給電部は、バッテリ電源の出力を、制御電圧に応じて通過させるトランジスタと、上記トランジスタの出力電圧の所定の割合の値と電圧検出値との差より定まる電圧を制御電圧として上記トランジスタに出力する演算増幅器と、上記制御部からの第2の状態にある第1切換信号の入力に応じて、上記演算増幅器に入力するトランジスタの出力電圧の所定の割合及び電圧検出値の少なくとも一方を変化させて、トランジスタの出力電圧を減少させる手段とで構成され、

上記電圧検出部は、上記給電部の出力電圧の所定の割合の値が基準電圧以下になった場合にリセット信号を出力する比較器と、上記制御部からの第4の状態にある第2切換信号の入力に応じて、上記出力電圧の所定の割合および電圧検出値の少なくとも一方を変化させて、上記比較器がリセット信号を出力する上記給電部の出力電圧の値を下げる手段とで構成され、

上記制御部は、上記演算部の低電圧動作モードの設定に伴い上記電圧検出部に第2の状態にある第1切換信号を出力した後に、上記給電部に第4の状態にある第2切換信号を出力し、上記低電圧動作モードの解除に伴い、上記給電部に第3の状態にある第2切換信号を出力した後に、上記電圧検出部に第1の状態にある第1切換信号を出力することを特徴とする低電圧動作モードを備える演算部の電源。

#### 【請求項4】 低電圧動作モードを備える演算部への給電方法であって、

上記演算部の低電圧動作モードの設定に伴い、上記演算部に電力を供給する給電部の出力電圧を予定値に下げる前に、上記給電部の出力電圧が電圧検出値以下になった場合にリセット信号を出力する電圧検出部の上記電圧検出値を上記予定値より低い値に下げ、上記演算部の低電圧動作モードの解除に伴い、上記演算部に給電部が供給する電圧を回復した後に、上記電圧検出部の電圧検出値を回復させることを特徴とする低電圧動作モードを備える演算部への給電方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、低電圧動作モードを備える演算部の電源に関する。

##### 【0002】

### 【従来の技術】

ノート型のパーソナルコンピュータや携帯電話などの携帯型情報端末では、未使用時のバッテリの消費電力を低減するため、低電圧動作モードを備えるものが知られている。

### 【0003】

図6は、携帯電話機300の内部構成を簡単に示す図である。3.6Vのバッテリ電源V<sub>BAT</sub>は、レギュレータ5により2.0Vの定電圧V<sub>cc</sub>に変換された後に、CPU2に供給される。CPU2には、操作キー3及び受信部4が接続されている。操作キー3が一定時間以上、操作されない場合、CPU2は、消費電力の低減のため、自己の内部回路を低電圧動作状態に切り換えると共に、レギュレータ5に電圧切換信号を出力してレギュレータから出力する電力量を低減させて低電圧動作モードに入る。

### 【0004】

#### 【発明が解決しようとする課題】

携帯電話機は、通常、バッテリ電源V<sub>BAT</sub>で駆動される。バッテリ電源V<sub>BAT</sub>の出力が2.0V以下になると、レギュレータ5の出力も2.0V以下になる。携帯電話機には、CPU2の誤動作を防止するため、レギュレータ5の出力が電圧検出値（例えば、1.9V）以下になった場合、CPU2にリセット信号を継続的に出力して機能停止させる電圧検出部が設けてある。ところが、上記電圧検出部を備える携帯電話機において、CPU2が上述した手順で低電圧動作モードに入ると、上記電圧検出部が誤作動してCPU2にリセット信号を出力して機能停止させてしまう。

### 【0005】

本発明は、低電圧動作モードを備える演算部の電源であって、上記電圧検出部を備えるにも拘わらず、外部からの電圧切換信号の入力に応じて上記演算装置を誤作動させずにバッテリ電源の供給電力を増減できる電源、及び、上記演算部への給電方法を提供することを目的とする。

### 【0006】

#### 【課題を解決するための手段】

本発明の第1の定電圧動作モードを備える演算部の電源は、低電圧動作モードを備える演算部の電源であって、上記演算部に給電を行う給電部と、上記給電部が上記演算部に供給する電圧が電圧検出値以下になった場合に上記演算部にリセット信号を出力する電圧検出部と、上記演算部の定電圧動作モードの設定に伴い上記給電部の出力電圧を低減させる制御部であって、上記電圧検出部の上記電圧検出値を上記低減した電圧より低い値に下げた後に、上記給電部の出力電圧を低減し、上記低電圧動作モードの解除に伴い上記給電部の出力電圧を回復した後に、上記電圧検出部の電圧検出値を回復させる制御部を備えることを特徴とする。

#### 【0007】

本発明の第2の電源は、上記第1の電源であって、上記給電部は、第1切換信号の値を第1の状態から第2の状態に変更することにより上記演算部へ供給する電圧を第1電圧から当該第1電圧よりも低い第2電圧に切り換える手段を有し、上記電圧検出部は、第2切換信号の値を第3の状態から第4の状態に変更することにより上記電圧検出値を上記第1電圧よりも低い第1電圧検出値から上記第2電圧よりも低い第2電圧検出値に切り換える手段を有し、上記制御部は、上記演算部の低電圧動作モードの設定に伴い第1切換信号の値を第1の状態から第2の状態に変更した後に、第2切換信号の値を第3の状態から第4の状態に変更し、上記低電圧動作モードの解除に伴い第1切換信号の値を第1の状態に戻した後、第2切換信号の値を第3の状態に戻すことを特徴とする。

#### 【0008】

本発明の第3の電源は、上記第2の電源であって、上記給電部は、バッテリ電源の出力を、制御電圧に応じて通過させるトランジスタと、上記トランジスタの出力電圧の所定の割合の値と電圧検出値との差より定まる電圧を制御電圧として上記トランジスタに出力する演算増幅器と、上記制御部からの第2の状態にある第1切換信号の入力に応じて、上記演算増幅器に入力するトランジスタの出力電圧の所定の割合及び電圧検出値の少なくとも一方を変化させて、トランジスタの出力電圧を減少させる手段とで構成され、上記電圧検出部は、上記給電部の出力電圧の所定の割合の値が基準電圧以下になった場合にリセット信号を出力する比較器と、上記制御部からの第4の状態にある第2切換信号の入力に応じて、上記

出力電圧の所定の割合および電圧検出値の少なくとも一方を変化させて、上記比較器がリセット信号を出力する上記給電部の出力電圧の値を下げる手段とで構成され、上記制御部は、上記演算部の低電圧動作モードの設定に伴い上記電圧検出部に第2の状態にある第1切換信号を出力した後に、上記給電部に第4の状態にある第2切換信号を出力し、上記低電圧動作モードの解除に伴い、上記給電部に第3の状態にある第2切換信号を出力した後に、上記電圧検出部に第1の状態にある第1切換信号を出力することを特徴とする低電圧動作モードを備えることを特徴とする。

#### 【0009】

本発明の低電圧動作モードを備える演算部への給電方法は、低電圧動作モードを備える演算部への給電方法であって、上記演算部の低電圧動作モードの設定に伴い、上記演算部に電力を供給する給電部の出力電圧を予定値に下げる前に、上記給電部の出力電圧が電圧検出値以下になった場合にリセット信号を出力する電圧検出部の上記電圧検出値を上記予定値より低い値に下げ、上記演算部の低電圧動作モードの解除に伴い、上記演算部に給電部が供給する電圧を回復した後に、上記電圧検出部の電圧検出値を回復させることを特徴とする。

#### 【0010】

##### 【発明の実施の形態】

###### (1) 実施の形態 1

図1は、携帯電話機300の構成を示す図である。携帯電話機1は、バッテリ電源V<sub>BAT</sub>の出力を制御する電源制御部100、C P U 2、操作キー3及び受信部4で構成される。C P U 2は、低電圧動作モードを備え、当該低電圧動作モード設定期間中は、L o w レベルの電圧切換信号S1を上記電源制御部100に出力する。C P U 2は、通常の電圧による動作モード時には、H i g h レベルの電圧切換信号S1を出力している。

#### 【0011】

電源制御部100は、レギュレータ10、制御部20及び電圧検出部30で構成される。以下、説明の便宜のため、レギュレータ10、電圧検出部30、制御回路20の順で構成及び動作の説明を行う。

### 【0012】

レギュレータ10は、通常、初期出力が3.6Vのバッテリ電源V<sub>BAT</sub>から2.0Vの定電圧V<sub>cc1</sub>を出力するが、制御部20からのL<sub>ow</sub>レベルのREG切換信号S2の入力に応じて定電圧V<sub>cc1</sub>より低い定電圧V<sub>cc2</sub>を出力する。レギュレータ10は、バッテリ電源V<sub>BAT</sub>と共にCPU2への給電を行う給電部として機能する。

### 【0013】

電圧検出部30は、レギュレータ10の出力するV<sub>cc</sub>（V<sub>cc1</sub>又はV<sub>cc2</sub>）の値が所定の電圧検出値（第1又は第2電圧検出値）以下になった場合にCPU2にリセット信号S4を出力する。

### 【0014】

制御部20は、CPU2が低電圧動作モードの設定期間中に出力するL<sub>ow</sub>レベルの電圧切換信号S1の入力に応じて上記電圧検出部30の電圧検出値を第1電圧検出値から第2電圧検出値（但し、第1電圧検出値>V<sub>cc2</sub>>第2電圧検出値である。）に下げた後に、上記レギュレータ10の出力する電位をV<sub>cc2</sub>（但し、V<sub>cc1</sub>>V<sub>cc2</sub>である。）に下げ、更には、上記L<sub>ow</sub>レベルの電圧切換信号S1の入力停止に伴い、上記レギュレータ10の出力する電位をV<sub>cc1</sub>に回復した後に、上記電圧検出部30の電圧検出値を第1電圧検出値に回復させる。

### 【0015】

図2は、電源制御部100を構成するレギュレータ10、制御部20、及び、電圧検出部30の詳細な構成を示す図である。以下、説明の便宜のため、レギュレータ10、電圧検出部30、制御回路20の順で構成及び動作の説明を行う。

### 【0016】

レギュレータ10は、上述するように、通常は、初期出力値が3.6Vのバッテリ電源V<sub>BAT</sub>から2.0Vの定電圧V<sub>cc1</sub>を出力する。レギュレータ10は、バッテリ電源V<sub>BAT</sub>を、制御信号としてゲートに印加される電圧に応じて出力するPチャンネル型MOSFET12、当該FET12のゲートに印加する電圧を出力する比較器11で構成される。比較器11の正の信号入力端子には、

図示しない別のレギュレータにより生成された基準電圧  $V_{ref}$  が入力されると共に、負の信号入力端子には、上記 FET12 の出力が抵抗  $r_1$ ,  $r_2$  及び  $r_3$  により抵抗分割された信号が印加されている。スイッチ SW1 は、通常、 High レベルの REG 切換信号 S2 (第 1 切換信号) の入力に応じてオフにされている。

### 【0017】

電圧検出部 30 は、比較器 31 により構成されており、比較器 31 の正の信号入力端子には、上記レギュレータ 10 の出力  $V_{cc1}$  (2.0V) を抵抗  $r_4$ ,  $r_5$ ,  $r_6$  で成る抵抗分割回路で分割した値が印加されている。また、負の信号入力端子には、図示しない別のレギュレータにより生成された基準電圧  $V_{ref}$  が入力されている。スイッチ WS2 は、通常、 High レベルの VDET 切換信号 S3 (第 2 切換信号) の入力に応じてオフにされている。

### 【0018】

制御部 20 は、電圧切換信号 S1 の入力されるインバータ 21 から 2 つに分岐する REG 切換信号 S2 の生成回路 C1 及び VDET 切換信号 S3 の生成回路 C2 で構成される。CPU2 の出力する電圧切換信号 S1 は、インバータ 21 を介して上記 REG 切換信号 S2 の生成回路 C1 及び VDET 切換信号 S3 の生成回路 C2 に入力される。REG 切換信号 S2 の生成回路 C1 は、3 つの直列に接続されたインバータ 22, 23 及び 24 と、インバータ 23 と 2 インバータ 4 との間に設けた他端を接地したコンデンサ 24 で構成される。VDET 切換信号 S3 の生成回路 C2 は、定電流源 27 により駆動される CMOS インバータ 26、コンデンサ 28、及び、バッファ回路 29 で構成される。

### 【0019】

図 3 は、CPU2 が上記構成の制御部 20 に出力する電圧切換信号 S1、REG 切換信号 S2 の生成回路 C1 の点 A における電位  $V_A$ 、REG 切換信号 S2、VDET 切換信号 S3 の生成回路 C2 の点 B における電位  $V_B$ 、VDET 切換信号 S3、及び、電圧検出部 30 の出力するリセット信号 S4 の波形の状態を示すタイムチャートである。

以下、図 2 及び図 3 を参照しつつ制御部 20 の説明を続ける。

## 【0020】

R E G 切換信号 S 2 の生成回路 C 1 のコンデンサ 2 4 は、 V D E T 切換信号 S 3 の生成回路 C 2 のコンデンサ 2 8 よりも大容量のものを採用し、電圧切換信号 S 1 の立ち下りに対して、点 A の電位 V A が、点 B の電位 V B よりも緩やかに減少するように設定する。当該構成を採用することにより、電圧切換信号 S 1 の立ち下りに対して、まず、 V D E T 切換信号 S 3 が立ち下り、時間 t 1 の後、 R E G 切換信号 S 2 が立ち下がる（図 3 のタイムチャートを参照）。

## 【0021】

また、電圧切換信号 S 1 の立ち上がりに対して、点 A の電位は、立ち下がりと同じ時間で立ち上がるが、点 B においては、 C M O S インバータ 2 6 において採用している定電流源 2 7 の作用により緩やかに立ち上がる。当該構成を採用することにより、電圧切換信号 S 1 の立ち上がりに対して、まず、 R E G 切換信号 S 2 が立ち上がり、時間 t 2 の後、 V D E T 切換信号 S 3 が立ち上がる（図 3 のタイムチャートを参照）。

## 【0022】

上記構成を採用することにより、電圧検出部 3 0 の電圧検出値が第 1 電圧検出値 ( $= V_{ref} \times (r_4 + r_5) / r_5$ ) から第 2 電圧検出値 ( $= V_{ref} \times (r_4 + r_5 + r_6) / (r_5 + r_6)$ ) に下がる前に、レギュレータ 1 0 の出力する定電圧が V c c 1 から V ref 1 よりも低い V c c 2 に下がり、又は、レギュレータ 1 0 の出力する定電圧が V c c 2 から V c c 1 に回復する前に、電圧検出部 3 0 の電圧検出値が第 2 電圧検出値から第 1 電圧検出値に回復し、誤ってオシのリセット信号 S 4 が C P U 2 に出力されることを防止することができる。

## 【0023】

## (2) 実施の形態 2

上記実施の形態 1 の電源制御部 1 0 0 は、抵抗分割回路及び回路素子の充放電特性を利用して構成したが、実施の形態 2 の電源制御部 1 0 0 では、 C P U 2 の一部機能を利用して上記電源制御部 1 0 0 と同等の動作を行う電源制御部 2 0 0 を提案する。

## 【0024】

図4は、電源制御部200の構成を示す図である。レギュレータ210は、電源制御部100のレギュレータ10と同様に、制御信号としてゲートに印加される電圧に応じて出力を調節するPチャンネル型MOSFET213と、当該FET213のゲートに印加する電力を出力する比較器212で構成される。比較器212の正の信号入力端子には、図示しないレギュレータにより用意される基準電圧Vrefが印加される。比較器212の負の信号入力端子には、0～256のデジタル信号の入力に応じてFET213の出力電圧Vcc1=2.0V～0Vのアナログ信号を出力するD/A変換器211が接続されている。通常の電圧での動作モード時には、CPU2は、D/A変換器211に値127（10進数表示）のREG設定信号（第1切換信号）を出力している。

#### 【0025】

電圧検出部250は、0～256のデジタル信号の入力に応じてFET213の出力電圧Vcc1=2.0V～0Vのアナログ信号を出力するD/A変換器251と、上記D/A変換器251の出力するアナログ信号を正の信号入力端子に受け、負の信号入力端子に図示しないレギュレータにより生成された基準値Vrefの入力される比較器252とで構成される。比較器252の出力は、リセット信号S4として出力される。通常の電圧での動作モード時には、CPU2は、D/A変換器251に値130（10進数表示）のVDET設定信号（第2切換信号）を出力している。

#### 【0026】

図5は、CPU2の実行する処理のフローチャートである。まず、タイマーを始動させる（ステップS1）。この後、何のキー入力も着信も無く（ステップS2及びS3でNO）、タイマーが終了した場合には（ステップS4でYES）、VDET切換信号の値を130から50（10進数表示）に変更して電圧検出部250がリセット信号S4を出力するレギュレータ210の出力値（電圧検出値）を下げた後に（ステップS5）、REG設定信号の値を127から48に変更してレギュレータ210の出力値を下げる（ステップS6）。

#### 【0027】

CPU2が、何らかのキー入力又は着信を検知した場合（ステップS2又はS

3でYES)、低電圧動作モードにあるCPU2は、まず、REG設定信号の値を48から127に戻してレギュレータ210の出力を回復させて通常の動作モードに復帰した後に(ステップS7)、VDET設定信号の値を50から130(10進数表示)に戻して電圧検出部250がリセット信号S4を出力するレギュレータ210の出力値(電圧検出値)を回復させる(ステップS8)。この回復処理は、実際には、REG設定信号の値及びVDET設定信号の値を変更するだけであるため、CPU2に特に負担になることも無く、低電力動作モード時においても実行することができる。この後、ステップS1に戻り、再びタイマーを始動させる。

### 【0028】

#### 【発明の効果】

本発明の低電圧動作モードを備える演算部の電源制御部、及び、上記演算部への給電方法は、低電圧動作モードの設定時に、給電部の出力電圧を下げる前に電圧検出部の基準電圧を誤作動しないレベルにまで下げる。また、低電圧動作モードの解除時には、給電部の出力電圧を通常の値に回復した後に電圧検出部の基準電圧を元の値に回復させる。当該構成を採用することにより、低電圧動作モードの設定及び解除時に電圧検出部が誤作動して演算装置をリセットしてしまうことを防止することができる。

#### 【図面の簡単な説明】

【図1】 低電圧動作モードを備える演算部を用いる携帯電話機の構成を示す図である。

【図2】 電源制御部の構成を示す図である。

【図3】 電源制御部内の信号のタイムチャートである。

【図4】 実施の形態2に係る携帯電話機の一部構成を示す図である。

【図5】 実施の形態2に係る携帯電話機の演算部の実行するフローチャートである。

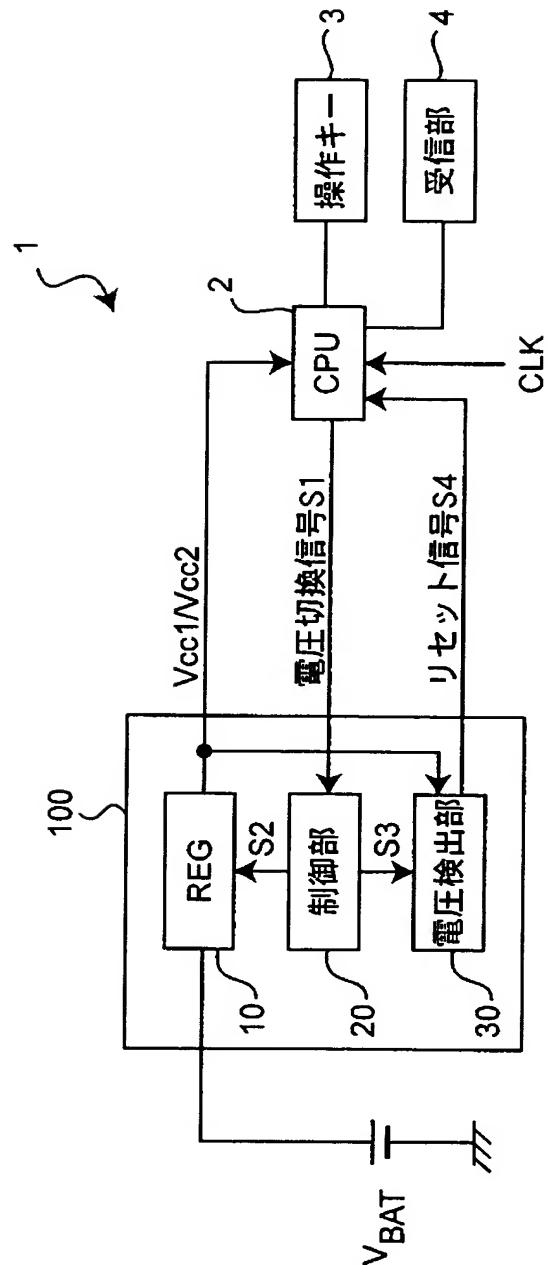
【図6】 従来の携帯電話機の構成を示す図である。

【符号の説明】 1 携帯電話機、2 CPU、3 操作キー、4 受信部、10 レギュレータ、11 比較器、12 半導体スイッチ、20 制御部、

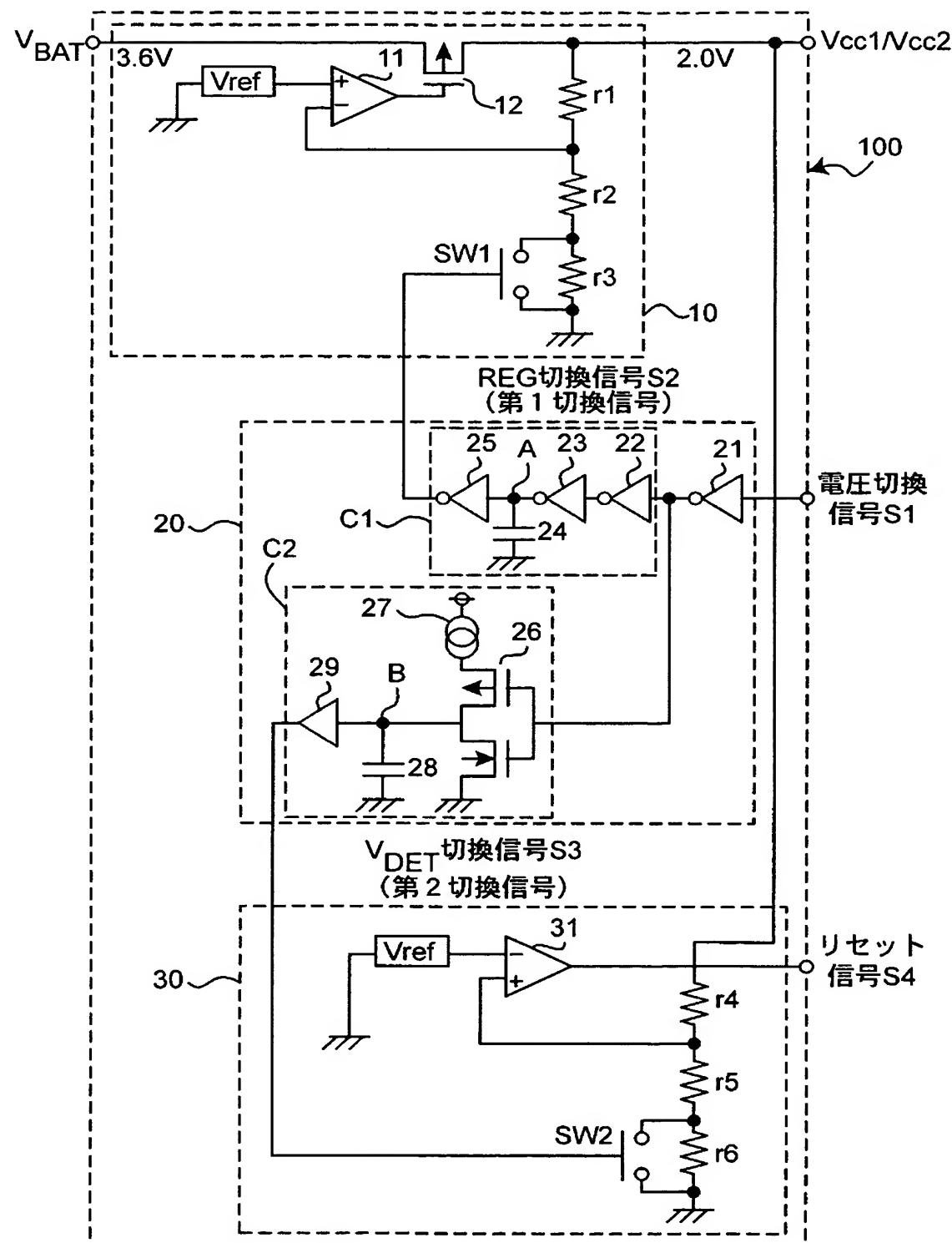
30 電圧検出部、100 電源制御部、C1 REG 切換信号生成回路、C2  
VDE T 切換信号生成回路。

【書類名】 図面

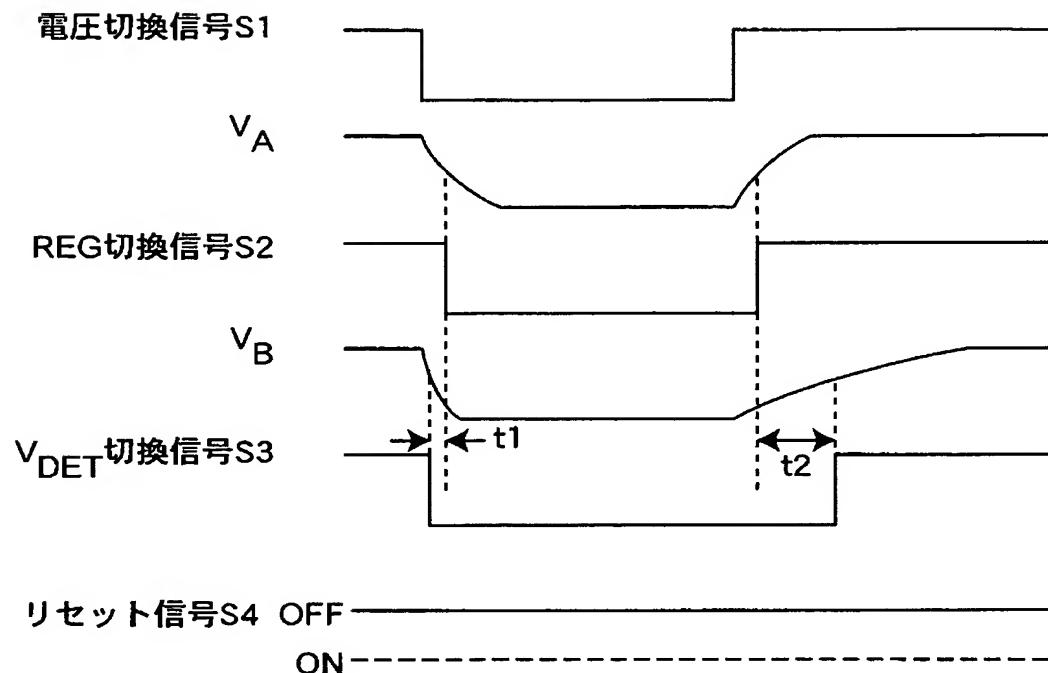
【図 1】



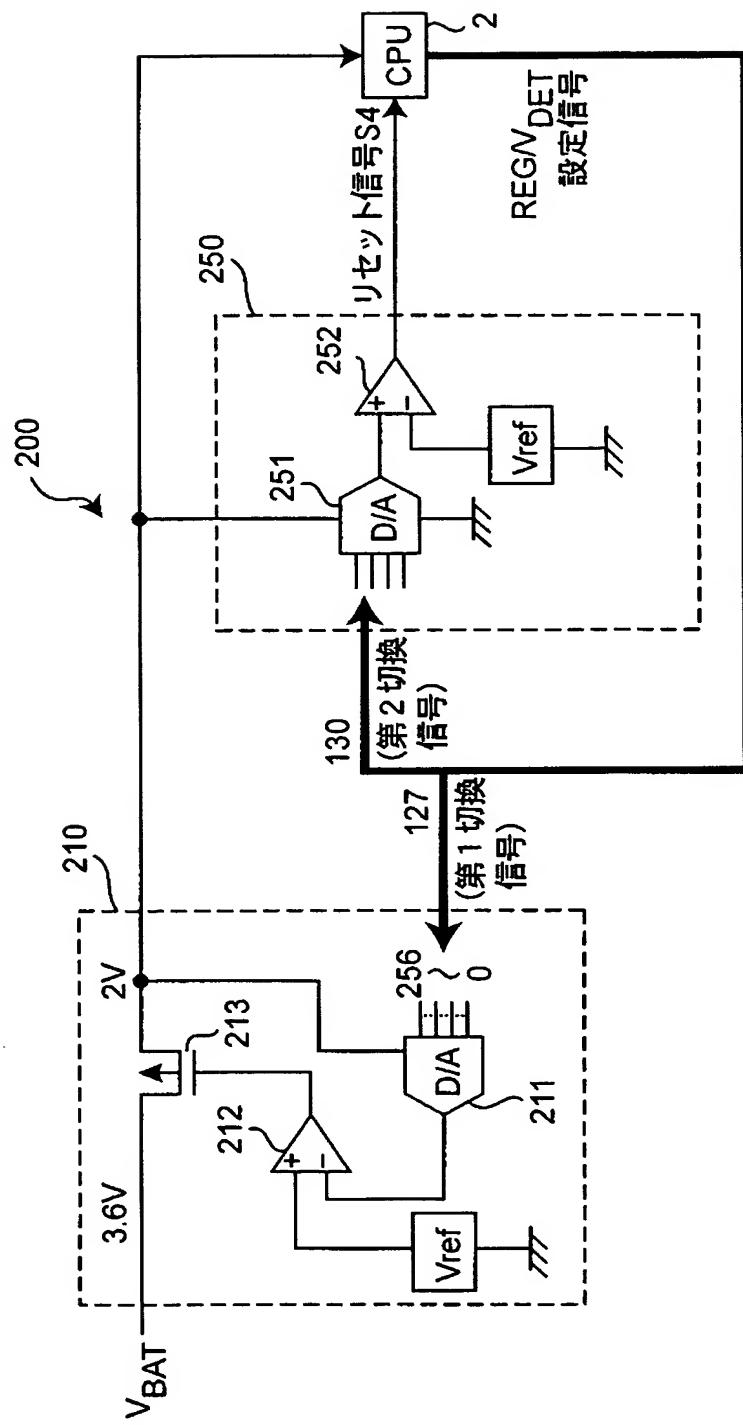
【図2】



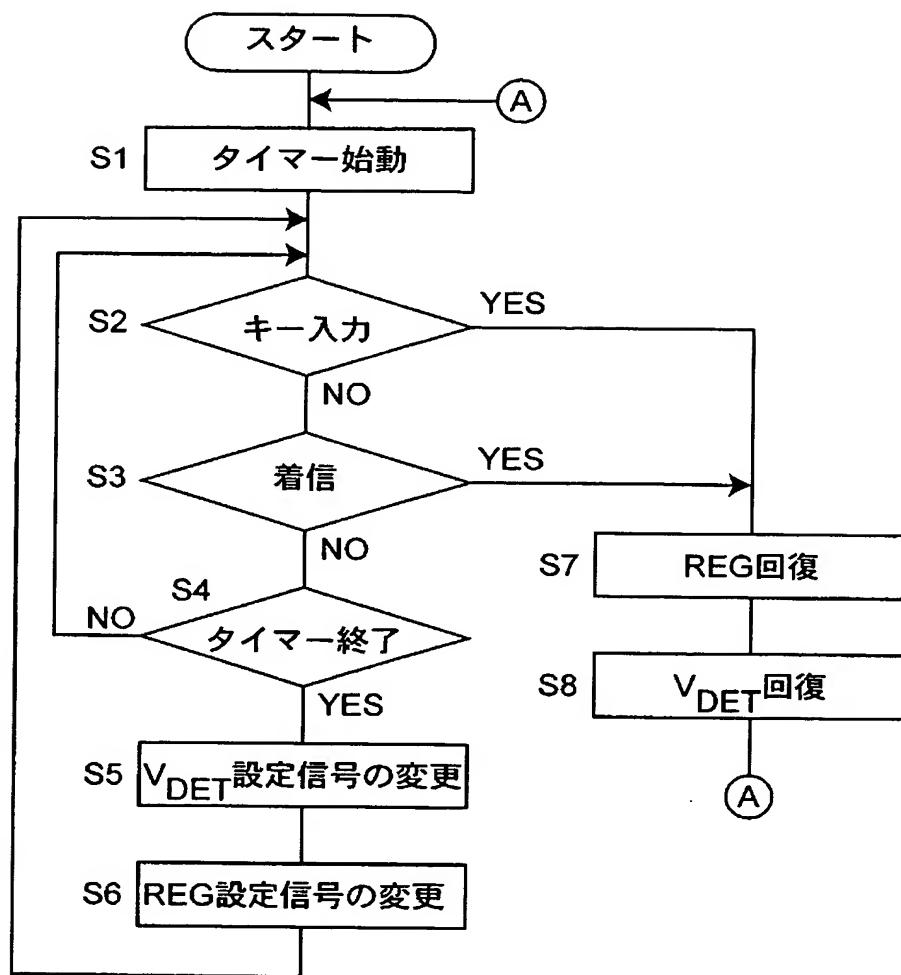
【図3】



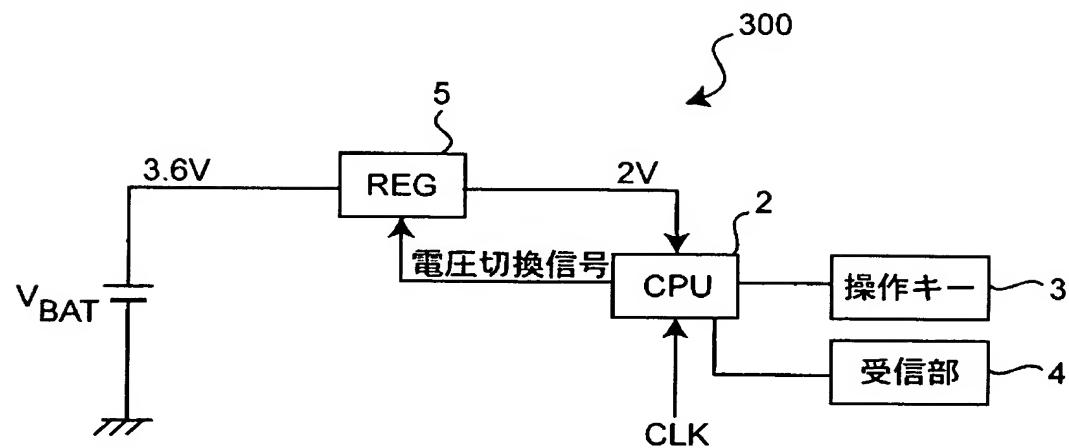
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 低電圧動作モードを備える演算部の電源であって、低電圧動作モードオ設定に伴い、演算部への給電が電圧検出値以下になった場合に上記演算部へリセット信号を出力する電圧検出部を誤作動させずにバッテリ電源の供給電力を増減する電源を提供する。

【解決手段】 低電圧動作モードを備える演算部の電源であって、上記演算部に給電を行う給電部と、上記給電部が演算部に供給する電圧が電圧検出値以下になった場合に上記演算部にリセット信号を出力する電圧検出部と、上記演算部の定電圧動作モードの設定に伴い上記給電部の出力電圧を低減させる制御部であって、上記電圧検出部の電圧検出値を上記低減した電圧より低い値に下げた後に、上記給電部の出力電圧を低減し、上記低電圧動作モードの解除に伴い上記給電部の出力電圧を回復した後に、上記電圧検出部の電圧検出値を回復させる制御部を備える。

【選択図】 図1

特願2002-289862

出願人履歴情報

識別番号 [000006747]

1. 変更年月日 2002年 5月17日  
[変更理由] 住所変更  
住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー